

Control en modo corriente y tensión eficaz con lazo de offset para inversor monofásico embarcado en aviones adecuado para funcionamiento en paralelo y conexión trifásica

P. Varela, D. Meneses, O. García, J. A. Oliver, P. Alou, J. A. Cobos

Universidad Politécnica de Madrid
Centro de Electrónica Industrial (CEI)
C/José Gutiérrez Abascal, 2
28006 Madrid SPAIN
+34 91 336 31 91
cei@upm.es

Abstract – La incorporación de un lazo de tensión eficaz de (RMS) es una posibilidad atractiva para el control de inversores de potencia de una manera sencilla. Si se combina con un control en modo corriente usando una sonda de efecto Hall, el ruido de modo común de la etapa de potencia transmitido al control puede ser reducido, mejorando la distorsión armónica total (THD) y manteniendo la posibilidad de operación en paralelo. Además, al estar el control de tensión definido sobre baja frecuencia (DC), obtener una gran ganancia a la frecuencia de interés (0Hz) es sencilla con control basado en PI, lo cual garantiza una onda de tensión de salida a 400Hz sin error, a costa de un peor desempeño ante transitorios y ante cargas no lineales.

Sin embargo, la implementación de una estrategia de control de esta naturaleza puede provocar la aparición de offset en la salida. Por otra parte, el esquema oculta la información de la fase de la onda de tensión de salida, necesaria para sincronizar tres módulos monofásicos en un montaje trifásico.

En este artículo el diseño e implementación del sistema completo es abordado, resolviendo los inconvenientes mencionados mediante un tercer lazo analógico de control para el offset y un algoritmo de sincronización implementado en una FPGA.

I. INTRODUCCIÓN

Las aplicaciones en el sector aeronáutico presentan requisitos especiales para el equipamiento electrónico embarcado. Por un lado los condicionantes de bajo peso y reducido tamaño tienen influencia sobre los componentes magnéticos y, por lo tanto, en el filtrado de la onda de salida y su contenido armónico. Por otro, los requisitos de fiabilidad del conjunto y sus componentes individuales son mucho más rigurosos [1, 2].

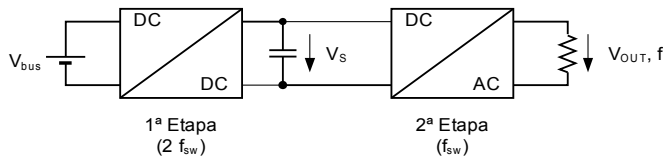


Figura 1. Esquema general de la arquitectura de potencia del inversor.

Vbus	Vs	fsw	S	Vout	f
28V nom (18 a 37V)	200V	40kHz	350VA	115V	400Hz

Tabla 1. Datos generales del convertidor: tensión de bus de entrada, tensión de bus intermedio, frecuencia de conmutación, potencia aparente, tensión eficaz de salida y frecuencia de salida.

En este artículo se aborda el control de un inversor monofásico embarcado en aviones. El inversor se compone de dos etapas: una primera etapa DC/DC aumenta la tensión desde el valor del bus estándar DC de 28V [1], hasta 200V, Figura 1. En esta segunda etapa una topología DC/AC de

punto completo se encarga de generar la tensión sinusoidal requerida en los bornes de salida. Los datos generales del inversor se especifican en la Tabla 1.

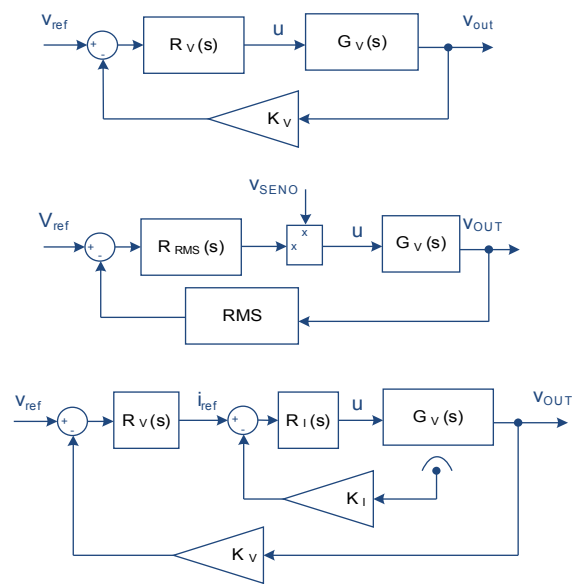


Figura 2. Diagrama de bloques de esquemas de control usuales en inversores de potencia: VCM (a), control de tensión RMS (b) y MCCM (c).

Diversas alternativas para el control de inversores se ilustran en la Figura 2. Las opciones clásicas lineales [3] incorporan simplemente un lazo de tensión instantáneo (VCM) o lo combinan con un lazo de corriente promedio (MCCM). El lazo lineal instantáneo de tensión presente en estas dos alternativas puede incorporar resonancia a la frecuencia de interés con el fin de mejorar el seguimiento de la tensión de referencia, en cuyo caso se habla de controladores resonantes [4].

Otras opciones [5, 6] aplican simplemente un lazo RMS de tensión. Dicho lazo trabaja con señales DC, multiplicando la salida de su regulador por un seno de amplitud y frecuencia fijas para generar la señal de control hacia el bloque de modulación de anchura de pulso (PWM).

Aunque la adición de un lazo de corriente hace la operación en paralelo de convertidores fácilmente abordable, existen líneas de investigación para conseguir sistemas paralelizables sólo con lazo de tensión [7].

Este artículo presenta una estrategia de control cuyo principal objetivo es desplegar un control robusto para inversores de potencia monofásicos que permita la operación en paralelo y montaje trifásico partir de tres unidades monofásicas, exhibiendo la mínima THD posible.

Para evitar los posibles inconvenientes producto de la ausencia de un lazo instantáneo de tensión, se incorpora un tercer lazo de control para regular el offset en la salida.

The diagram illustrates a closed-loop control system for a power converter. The system is divided into three main functional blocks: PWM, Potencia, and Sensor ef. Hall.

- PWM Block:** This block contains a reference voltage $V_{RMS,ref}$ and a reference current $i_{ref,DC}$. It includes a summing junction, a transfer function $R_V(s)$, and a summing junction for the current feedback loop. The output of this block is the reference current i_{ref} .
- Potencia Block:** This block contains a reference current $i_{ref,DC}$ and a reference voltage $V_{RMS,m}$. It includes a summing junction, a transfer function $R_I(s)$, and a summing junction for the power feedback loop. The output of this block is the reference voltage $V_{RMS,ref}$.
- Sensor ef. Hall Block:** This block contains a reference voltage $V_{RMS,m}$ and a reference current $i_{ref,DC}$. It includes a summing junction, a transfer function $R_{OFFSET}(s)$, and a summing junction for the current feedback loop. The output of this block is the reference current i_{ref} .

The system also includes a feedback loop for the output voltage V_{OUT} . The output voltage V_{OUT} is measured by a sensor (represented by a triangle) and fed back to the control system. The feedback signal is processed by a transfer function K_V and a summing junction to produce the reference voltage $V_{RMS,ref}$.

The system is also divided into three main sections: PWM, Potencia, and Sensor ef. Hall. The output is V_{OUT} .

Además, un algoritmo basado en PLL se diseña e implementa en una FPGA para posibilitar la sincronización en tensión de las unidades que formen el sistema trifásico.

El control propuesto incorpora un total de tres lazos. De fuera a dentro el más externo, $R_v(s)$, controla la tensión eficaz de salida, v_{RMS} , generando la amplitud de la referencia senoidal de corriente, $i_{ref,AC}$. En paralelo un lazo de offset, $R_{OFFSET}(s)$, genera la referencia DC del lazo de corriente, $i_{ref,DC}$. Se genera la referencia de corriente, i_{ref} , mediante el producto de un seno de 400Hz y amplitud fija, v_{SENO} , y la señal $i_{ref,AC}$ al que se le suma $i_{ref,DC}$. Los multiplicadores analógicos comerciales, como el AD632, permiten la operación matemática de tipo $x \cdot y + z$ necesaria para este fin. Finalmente el lazo más interno, $R_i(s)$, controla la corriente de la bobina, i_L , generando la señal de control, u , que se introduce en los comparadores del PWM.

El lazo de tensión requiere obtener una medida de la tensión eficaz de salida, $V_{RMS,m}$. Para ello se rectifica y se filtra una medida de tensión instantánea. La medida instantánea se obtiene situando un divisor resistivo en cada terminal de salida del inversor seguido de un montaje diferencial con amplificador operacional, todo ello representado por la ganancia K_v .

Por esto último, se incorpora un tercer lazo que corrija el nivel de DC. El regulador $R_{\text{OFFSET}}(s)$ emplea la medida dada por $v_{\text{OFFSET,m}}$ obtenida por el bloque sensor $H_{\text{OFFSET}}(s)$.

$$G_v(s) = V_s \cdot \frac{1/(LC)}{s^2 + 1/(RC) \cdot s + 1/(LC)} \quad (1)$$

Por otro lado se emplea una estrategia de conmutación unipolar [9] para la modulación por anchura de pulso con el fin de reducir al máximo el tamaño del filtro de salida.

III.1 Lazo de corriente

El diseño del regulador del lazo de corriente $R_i(s)$ se realiza de acuerdo al esquema de la Figura 4. La planta a controlar es la dada por la función de transferencia $G_i(s)$ (2), que es el sistema lineal invariante en el tiempo procedente del modelo promediado de un sistema de potencia derivado del convertidor reductor [3]. La ganancia $1/V_{TRI}$ ajusta el ciclo de trabajo d para variar entre -1 y 1, en consonancia con la amplitud de la señal portadora del bloque PWM.

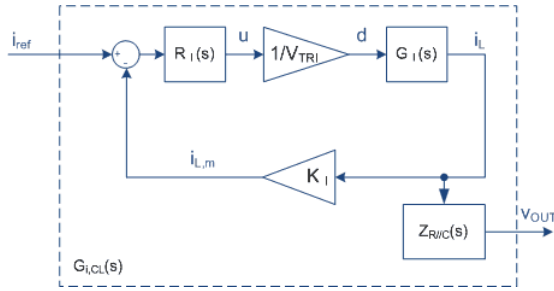


Figura 4. Diagrama de bloques para el diseño del lazo de corriente.

$$G_I(s) = \frac{V_s}{L} \cdot \frac{s + 1/(RC)}{s^2 + 1/(RC) \cdot s + 1/(LC)} \quad (2)$$

$G_{I,CL}(s)$ es la función de transferencia que se genera entre la referencia de corriente y la tensión de salida, Figura 4. Se especifica en (3) a partir del lazo cerrado de la planta $G_I(s)$ (2) y la impedancia dada por el paralelo de la carga nominal, R , y el condensador de salida, C (4).

$$G_{I,CL}(s) = \frac{R_I(s) \cdot (1/V_{TRI}) \cdot G_I(s) \cdot K_I}{1 + R_I(s) \cdot (1/V_{TRI}) \cdot G_I(s) \cdot K_I} \cdot Z_{RIC} \quad (3)$$

$$Z_{RIC}(s) = \frac{1/C}{s + 1/(RC)} \quad (4)$$

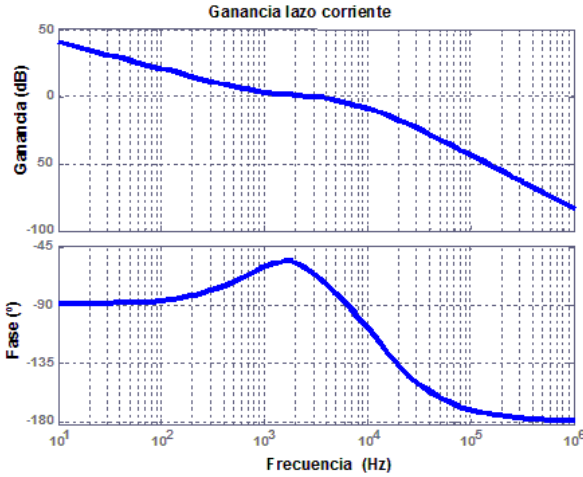


Figura 5. Diagrama de Bode de la ganancia del lazo de corriente.

La Figura 5 muestra el diagrama de Bode para la ganancia de lazo de corriente con el regulador diseñado. Los indicadores fundamentales de la dinámica y estabilidad se muestran en la Tabla 3 (80kHz es la frecuencia teórica a la que aparece el primer armónico debido a la conmutación a 40kHz con un esquema unipolar).

Margen Fase	Ancho Banda	Ganancia 400Hz	Ganancia 80kHz
113°	2kHz	10dB	-39dB

Tabla 2. Indicadores de la dinámica del lazo de corriente.

En el diseño del lazo de corriente se presenta el problema de compromiso entre dinámica y distorsión armónica en la salida presente para este convertidor. Interesa una alta ganancia a 400Hz para seguir adecuadamente la referencia de corriente del lazo. Sin embargo, también interesa una gran atenuación en alta frecuencia para evitar que los armónicos de la conmutación se manifiesten en la tensión de salida. El diseño realizado en esta sección favorece la atenuación de alta frecuencia para reducir la distorsión a la salida y un gran margen de fase para asegurar la estabilidad, en detrimento de una gran ganancia a 400Hz. Como consecuencia, se diseña con ancho de banda para el lazo interno bastante reducido

(2kHz) que hace que el seguimiento de la referencia de corriente tenga un error considerable.

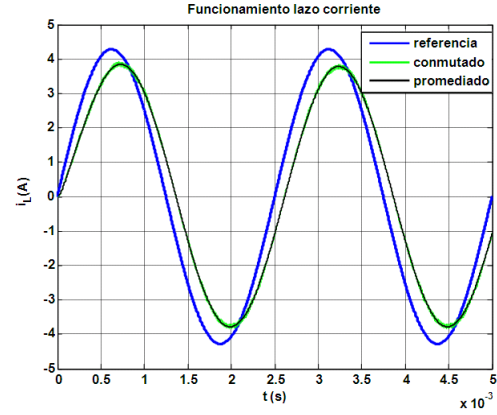


Figura 6. Simulación del lazo de corriente.

En la Figura 6 se observa el resultado del seguimiento de una referencia de 400Hz de corriente en el modelo lineal promediado y en un modelo conmutado simulados en Simulink, empleando un regulador PI, con red de adelanto-atraso de fase y un polo adicional en alta frecuencia. Ambos modelos coinciden, pero se observa error en el seguimiento de la referencia debido a la ganancia de sólo 10dB a 400Hz.

III.2 Lazo de tensión eficaz

Debido a su escaso ancho de banda (2kHz), un lazo de corriente como el diseñado en el punto anterior dejaría prácticamente sin margen para situar la dinámica a un lazo de tensión basado en medida instantánea, es decir con un ancho de banda superior a 400Hz. O, en otras palabras, la ganancia para este lazo sería previsiblemente menor que los 10dB del lazo de corriente lo cual ocasionaría un error todavía mayor en el seguimiento de tensión que para la corriente, tanto de fase como de amplitud. Sin embargo ya que se propone un lazo de tensión eficaz, y por tanto lento (ancho de banda menor que 400Hz), el margen para el diseño se extiende desde los 400Hz hasta el nivel de continua, 0Hz, facilitando el diseño.

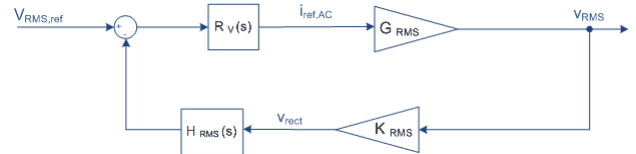


Figura 8. Diagrama de bloques empleado para el diseño del lazo de tensión eficaz.

La Figura 8 presenta el esquema considerado para el diseño del regulador de tensión RMS. La hipótesis que justifica su validez, respecto del diagrama de bloques real, Figura 3, es que este lazo sea suficientemente más lento que el lazo de corriente.

De este modo, se podría afirmar que un cambio en $i_{ref,AC}$ se traduce automáticamente en un cambio en la amplitud de la corriente y de ese modo en un cambio en la tensión eficaz. Si es visto por un regulador que imponga una dinámica lenta como la que se supone, se puede asumir también que la salida instantánea del rectificador de precisión, v_{rect} coincide con su valor medio. Teniendo en cuenta las relaciones entre tensión de pico, eficaz y media de ondas sinusoidales y rectificadas [9], el rectificador se puede sustituir por la ganancia K_{RMS} dada por (5) y la planta por la ganancia G_{RMS} (6).

$$K_{RMS} = \frac{v_{rect}}{V_{RMS}} = K_V \cdot \sqrt{2} \cdot \frac{2}{\pi} \quad (5)$$

$$G_{RMS} = \frac{V_{RMS}}{i_{ref, AC}} = \frac{I_{RMS} R}{(K_I / K_{MUL}) \cdot I_{RMS} \cdot \sqrt{2}} = \frac{K_{MUL} \cdot R}{K_I \cdot \sqrt{2}} \quad (6)$$

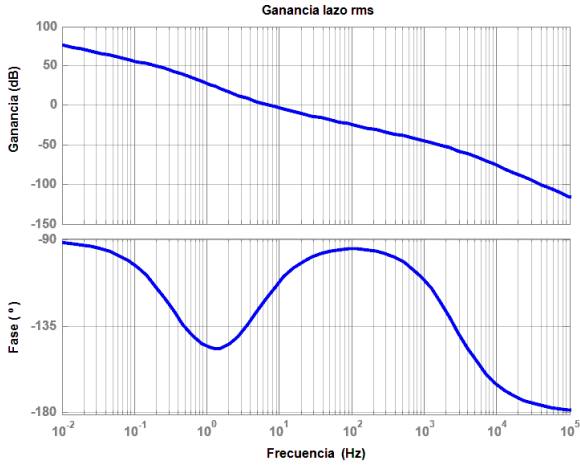


Figura 9. Diagrama de Bode de la ganancia del lazo de tensión eficaz.

Margen Fase	Ancho Banda	Ganancia 400Hz	Ganancia 80kHz
72°	7Hz	-36dB	-115dB

Tabla 3. Indicadores de la dinámica del lazo de tensión eficaz.

En la Figura 9 se muestra el diagrama de Bode para la ganancia de lazo de tensión eficaz con el regulador diseñado, que emplea una estructura PI con un polo adicional a alta frecuencia. Los indicadores de estabilidad están resumidos en la Tabla 3. Éste es un lazo que trabaja en continua y por lo tanto, al contrario que en el lazo de corriente, interesa una buena atenuación a 400Hz. De lo contrario, en un mismo ciclo variaría la referencia de corriente eficaz de manera considerable, distorsionando la senoide de la tensión de salida.

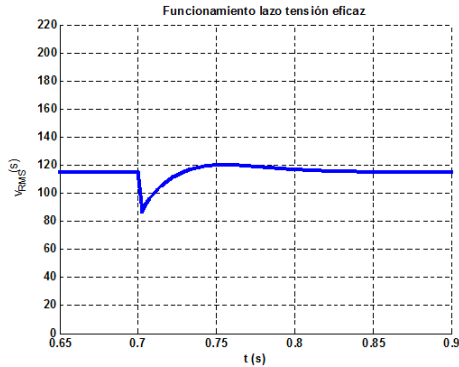


Figura 10. Simulación del lazo de tensión eficaz empleando un modelo de planta de corriente promediado y empleando el modelo linealizado.

En la Figura 10 se presenta la evolución de la tensión eficaz ante un escalón de carga (de 25% a 50%) en simulación. Se emplea el lazo RMS diseñado que gobierna el lazo de corriente sobre el modelo promediado del convertidor.

III.3 Lazo de tensión DC

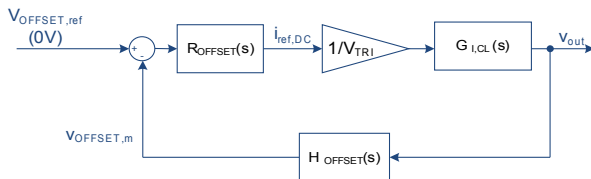


Figura 11. Diagrama de bloques empleado para el diseño del lazo de tensión DC.

El diseño del regulador del lazo de offset se ha basado en un esquema como el mostrado en la Figura 11. En principio no es

necesario realizar hipótesis adicionales a la validez del modelo promediado $G_V(s)$, (1). El bloque $H_{OFFSET}(s)$ comprende la medida de la tensión DC.

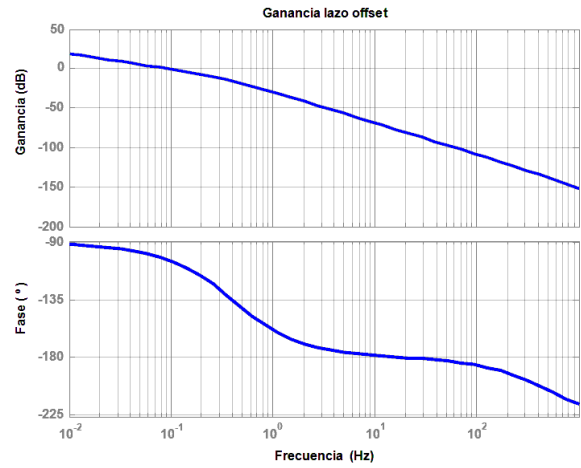


Figura 12. Diagrama de Bode de la ganancia de lazo de valor medio de tensión.

Margen Fase	Ancho Banda	Ganancia 400Hz
80°	0.09Hz	-133dB

Tabla 4. Indicadores de la dinámica del lazo de tensión media.

La Figura 12 muestra el diagrama de Bode de la ganancia de lazo abierto con el regulador integral diseñado. En la Tabla 4 se muestran los indicadores fundamentales. De nuevo se sitúa el ancho de banda de lazo por debajo de los 400Hz para permitir la oscilación a la frecuencia de salida. Un lazo más rápido podría hacer que este lazo de regulación entrase en conflicto con el resto del control, tratando de imponer una tensión nula no sólo para DC sino para todo el espectro.

IV. ALGORITMO DE SINCRONIZACIÓN TRIFÁSICA

El método de control propuesto hace perder la información de la fase de la tensión de salida, necesaria para sincronizar tres inversores monofásicos con los desfases adecuados (0°, 120° y 240°). Se podría sincronizar simplemente la señal de referencia fija v_{SENO} con esos desfases pero eso no significaría tener tensiones adecuadamente desfasadas, ya que el sistema trifásico podría alimentar cargas no equilibradas. Por ello se diseña un algoritmo basado en lazo de seguimiento de fase (PLL) implementado en una FPGA.

El algoritmo se basa en cambiar ligeramente la frecuencia de la referencia senoidal fija, v_{SENO} , basándose en el error de fase de ese módulo, haciendo que cada inversor se sincronice con su propia referencia de fase.

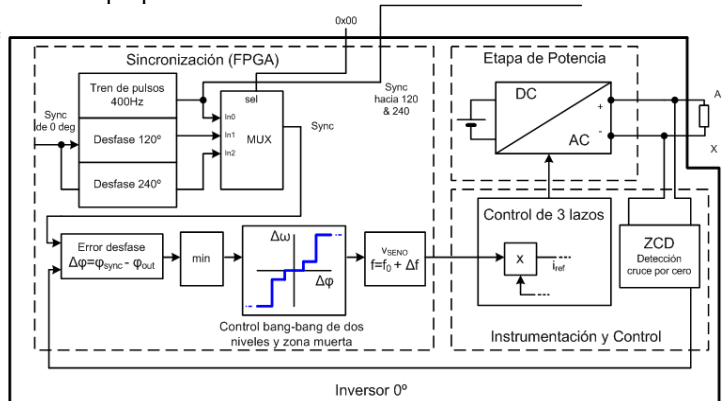


Figura 13. Diagrama autoexplicativo del algoritmo de sincronización trifásico.

La Figura 13 explica el algoritmo de sincronización de la tensión de un inversor con su referencia de modo gráfico:

- Referencia (FPGA): se genera un tren de pulsos a 400Hz en el caso del inversor a 0°. Los otros módulos reciben dicha señal y la desfasan 120 o 240° para crear su propia referencia.
- Error de mínimo desfase (FPGA y HW): el error $\Delta\phi$ se calcula por cuenta de pulsos en la FPGA entre el flanco de referencia de cada inversor y su cruce por cero (ZC), señal que se genera en la etapa de control y medición. Se elige el desfase como el de menor valor absoluto entre $\Delta\phi$, $2\pi-\Delta\phi$ y $2\pi+\Delta\phi$, ya que todos ellos son representaciones matemáticas del mismo desfase.
- Regulador (FPGA): basado en el desfase mínimo, se aplica un cambio positivo o negativo de frecuencia, Δf , respecto de los 400Hz para generar la señal de seno fijo v_{SENO} . El regulador es simplemente un control no lineal bang-bang de dos niveles (ajuste grueso y fino para ambos signos de desfase) y zona muerta.

El control implementado se aprovecha de que la relación desde frecuencia a desfase es un integrador, $1/s$. Es decir, la planta a controlar, es de tipo 1 (un polo en el origen), lo cual garantiza la ausencia de error de posición. Para asegurar su estabilidad se debe tener la precaución de hacer el lazo suficientemente lento (Δf pequeño) respecto de la frecuencia de muestreo del desfase (un ciclo de salida, 400Hz), es decir ajustar la ganancia.

V. RESULTADOS EXPERIMENTALES

Se presentan a continuación las formas de onda que se consideran más relevantes para ilustrar el comportamiento del inversor, funcionando con el control diseñado.

V.1 Inversor aislado

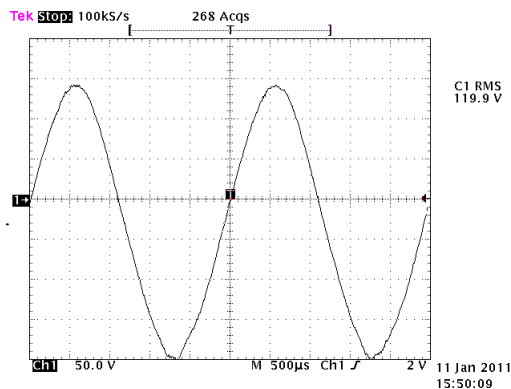


Figura 14. Tensión de salida del inversor sin lazo de DC y baja carga (25%).

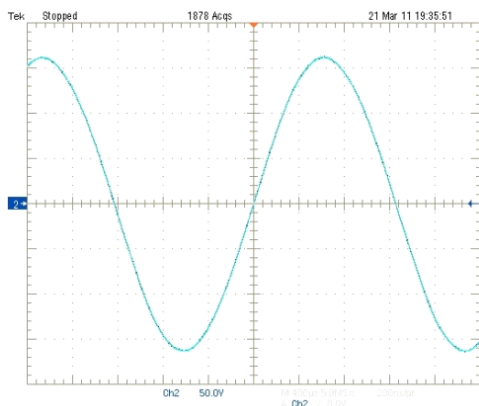


Figura 15. Tensión de salida del inversor funcionando con lazo de DC.

Se puede apreciar un nivel de offset de unos 30V en la tensión de salida en la Figura 14, que además es proporcional a la impedancia de la carga conectada, y que es corregido hasta niveles de $\pm 100\text{mV}$ gracias al lazo incorporado en la Figura 15.

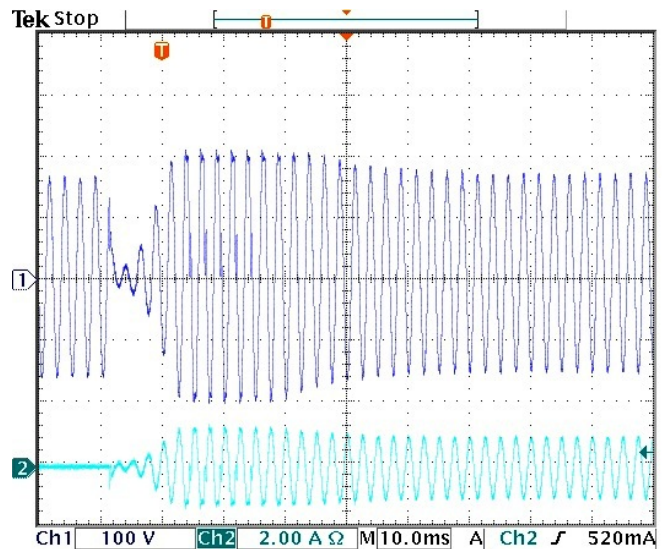


Figura 15. Tensión de salida y corriente por la mitad de la carga al aplicar un escalón de carga.

Se realiza un experimento de escalón de carga, de 25% a 50% de carga resistiva. En la Figura 15 se presentan las formas de onda de tensión de salida y de la corriente por media carga (ya que el experimento se realiza con dos cargas iguales en paralelo, activando el escalón con un interruptor). Se observa una caída de tensión mayor que en la simulación -hasta 20V de pico, 14V RMS- aunque la recuperación en unos 100ms sí es acorde, con la simulación de la Figura 10 y el ancho de banda diseñado, 7Hz.

V.2 Dos inversores en paralelo

La operación en paralelo emplea un esquema maestro-esclavo [10]. El maestro conserva su lazo de tensión y genera la referencia de corriente para él mismo y para todos los esclavos. En éstos, se puentea mediante un multiplexor analógico su propia referencia y se emplea la referencia externa de corriente.

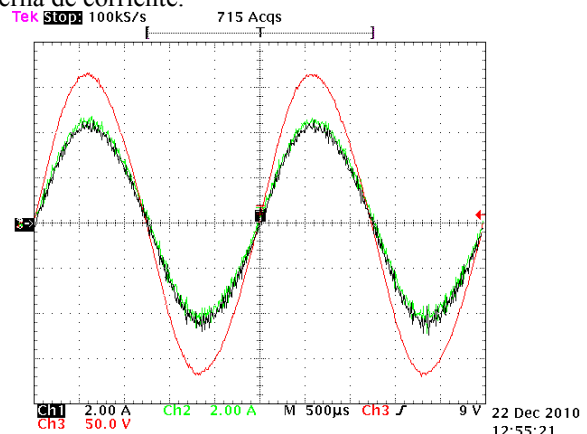


Figura 17. Tensión de salida y corrientes de salida de maestro y esclavo alimentando una carga resistiva total de 700VA.

En la Figura 17, el montaje en paralelo alimenta una carga resistiva del doble de la potencia nominal. Mientras, en la Figura 18 se alimenta un rectificador seguido de un filtro C y

una carga resistiva. Los dos casos muestran un buen reparto de corrientes para ambos inversores. La distorsión de la tensión de salida para la carga no lineal es muy elevada, como se preveía desde la fase conceptual, debido al escaso ancho de banda disponible en el lazo de tensión eficaz y en el de corriente.

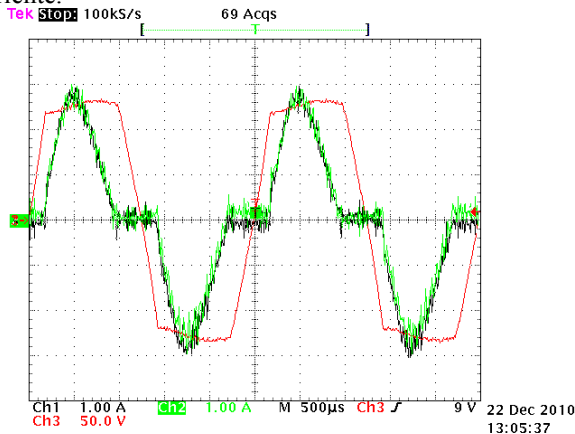


Figura 18. Tensión de salida y corrientes de salida maestro y esclavo ante un rectificador con filtro C de salida y una carga resistiva total de 700VA.

V.3 Sincronización trifásica

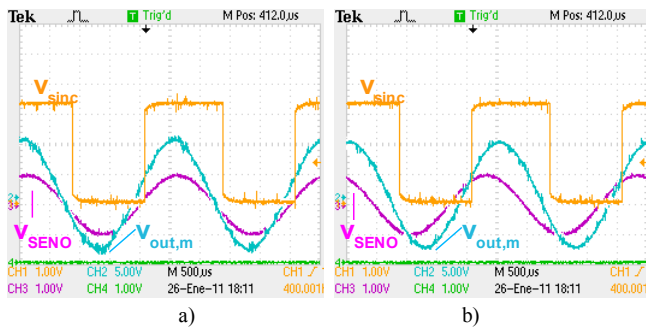


Figura 19. Funcionamiento del algoritmo de sincronización trifásica alimentando una carga lineal RL (a) y R (b).

La Figura 19 ilustra el funcionamiento del algoritmo de sincronización trifásica para carga resistiva pura (a) y RL (b). Se muestran las señales de referencia de sincronización, seno fijo V_{SENO} y tensión medida de salida. Se observa como la señal V_{SENO} adapta su desfase respecto de la referencia cuadrada para mantener fijo el cruce por cero de la medida respecto de la referencia cuadrada. El error de desfase entre referencia y tensión medida es debido a la histéresis del detector de cruce por cero implementado en HW.

VI. CONCLUSIONES

En este artículo se ha analizado el diseño e implementación de un control para inversores de potencia que combina control de tensión eficaz y modo corriente promediada con una medida con sonda de efecto Hall. El control RMS evita la introducción de cualquier medida instantánea de tensión en la etapa de control, y con ella el ruido de modo común asociado, con el objetivo de reducir la distorsión armónica en la forma de onda de salida; mientras, el modo corriente permite la operación en paralelo de varios módulos de una manera sencilla.

Sin embargo, la eliminación de la medida instantánea de tensión del control provoca algunos inconvenientes. En primer lugar supone un bajo ancho de banda de tensión, que perjudica el desempeño del sistema en términos de distorsión armónica cuando se alimentan cargas no lineales.

Por otra parte se hace necesaria la incorporación de mecanismos que regulen el nivel de offset en la salida y que restauren la información de fase de la tensión de salida para poder sincronizar varios módulos en un montaje trifásico. Un tercer lazo analógico que regula el nivel de DC en la tensión de salida y un algoritmo PLL implementado sobre una FPGA resuelven estos dos inconvenientes.

Los resultados experimentales que se adjuntan muestran el funcionamiento del inversor trabajando aislado o en paralelo, probando la efectividad de los mecanismos incorporados para paliar los inconvenientes de la ausencia de lazo de tensión instantáneo y garantizando el requisito de operación en paralelo. Por otra parte se presentan resultados de la sincronización de una unidad con su referencia de fase para garantizar el correcto desfase entre las formas de onda de las tensiones del montaje trifásico.

Como era de esperar, en el funcionamiento ante cargas no lineales, como rectificadores con filtro por condensador se ve seriamente, la forma de onda se ve seriamente distorsionada.

VII. REFERENCIAS

- [1] "Electric power aircraft, characteristics and utilization." military standard MIL-STD-704.
- [2] "Environmental Conditions & Test Procedures for Airborne Equipment", RTCA/DO-160D.
- [3] Erickson, R. W.; Maksimović, D: Fundamentals of Power Electronics, 2nd Edition, KAP, 2002.
- [4] C. Liu, C. Sun, W. Hu, "Proportional-Resonant Controller of High Power 400Hz Inverter in Stationary Frame" on ICEMS, Oct. 2008, pp. 1772.
- [5] E. Kim, J. Kwon, J. Park, and B. Kwon, "Practical Control Implementation of a Three- to Single-Phase Online UPS" on IEEE Transaction on Industrial Electronics, vol. 55, no. 8, Aug. 2008, pp. 2933.
- [6] Y. Sozer and D. A. Torrey, "Modeling and Control of Utility Interactive Inverters", on IEEE Transaction on Industrial Electronics, vol. 24, no. 11, Nov. 2009, pp. 2475.
- [7] M. Chandorkar, D. Divan, Y. Hu, and B. Banerjee, "Novel Architecture and Control for Distributed UPS", IEEE APEC '94, vol. 1, Conf. Proc., Feb. 1994, pp. 683.
- [8] C. Fernández, A. Lázaro, P. Zumel, M. Sanz, A. Barrado, "Control de Bajo Coste de un Inversor Monofásico basado en el UC3854" SAAEI '07.
- [9] Hart, D. W. (1997): "Introduction to Power Electronics", Prentice Hall.
- [10] K. Sri, C.Q. Lee and T.F. Wu, "Current distribution control for parallel connected converters: Part I," IEEE Tmns. Aerospace Electmn. Syst., mi. 28, no. 3, Jul 1992, pp. 829.